

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PTO 01-4159

International Publication No. WO 97/44797 A1

THIN-FILM MULTILAYER CAPACITOR

Rainer Bruchhaus et al.

UNITED STATES PATENT AND TRADEMARK OFFICE
WASHINGTON, D.C. SEPTEMBER 2001
TRANSLATED BY THE RALPH MCELROY TRANSLATION COMPANY

WORLD ORGANIZATION FOR INTELLECTUAL PROPERTY

International Application Published pursuant to the

International Patent Cooperation Treaty (PCT)

INTERNATIONAL PUBLICATION NO. WO 97/44797 A1

International Patent Cl. ⁶ :	H 01 G 4/30
International Filing No.:	PCT/DE97/00914
International Filing Date:	May 5, 1997
International Publication Date:	November 27, 1997
Priority	
Date:	May 21, 1996
Country:	DE
No.:	19620434.8
Designated Contracting States:	BR, CN, JP, KR, MX, RU, UA, US, European Patent (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).

THIN-FILM MULTILAYER CAPACITOR

[Duennfilm Mehrschichtkondensator]

Inventors and Inventors/Applicants (for US only):	Rainer Bruchhaus et al.
Applicant (for all contracting nations except US):	Siemens Aktiengesellschaft

Published: With the International Search Report. Prior to the established deadline for changes of the claims. Publication will be repeated if changes are received.

Description

Known multilayer capacitors are ceramic components, in which electrode layers and thin ceramic layers are alternately arranged one above the other. Each ceramic layer with the two adjoining electrode layers forms an individual capacitor. The individual capacitors are electrically connected in parallel by appropriately contacting the electrode layers. For producing

such ceramic multilayer capacitors, "wet" processes are used, wherein, e.g., green foils are prepared with the help of a slip or a sol-gel process and then printed with electrode material. By stacking such printed green foils one over the other and common sintering, compact components are obtained, which in a final production step are further provided with electrical connections.

To increase the capacitance of such ceramic multilayer capacitors, the number of individual capacitors, i.e., the number of layers of the multilayer capacitor, can be increased. However, multilayer capacitors with high capacitance in the range of several μF can be realized in this manner only with high manufacturing expense.

Ordinary and presently available electrolyte capacitors with such high capacitances in the range of several μF can indeed be realized, although they often have unsatisfactory electrical characteristics. In particular, electrolyte capacitors are improvable in respect to frequency response, switching current behavior (internal resistance), leakage current and the temperature range in which they are utilizable. Furthermore, no extremely flat structural shape, such as is especially necessary for the SMD [surface mounted devices] technology, can be realized with electrolyte capacitors.

Accordingly, the objective of the present invention is to specify multilayer capacitors with high capacitance, which can be realized in a flat structural shape with a production cost reduced in comparison with known multilayer capacitors and with improved electrical characteristics in comparison with electrolyte capacitors.

In keeping with the invention, this objective is realized by a multilayer capacitor according to Claim 1. Advantageous refinements of the invention as well as a process for producing the multilayer capacitor are set forth in additional claims.

According to the invention, the multilayer capacitor encompasses a multilayer structure arranged on a substrate, in which electrode layers and dielectric layers are arranged alternately one above the other, in each instance as a thin layer. The electrode layers are alternatingly connected with a first and a second contact layer, which in each case are arranged laterally along the layered structure and approximately vertical to the layer planes. The selected number n of dielectric layers is greater than 1 and less than 100. It is preferably some 5-20 layers.

The ceramic dielectric layers, which are applied with ordinary thin-layer processes, have a maximal layer thickness of approximately $1\text{ }\mu\text{m}$. In comparison with known wet produced ceramic multilayer capacitors, whose dielectric layers can in the best case be reduced to a thickness of about $5\text{ }\mu\text{m}$, meaning a layer thickness reduction by at least a factor of 5. However, since known thin-layer processes layer thicknesses as low as $0.1\text{ }\mu\text{m}$ can now be achieved safely and reproducibly, a layer thickness reduction by a factor of 50 is possible with the invention. Since, on the other hand, the specific capacitance ($= \text{capacitance/volume}$) is inversely proportional to the square of the thickness of the dielectric layer, the specific capacitance can be

increased by a factor as high as 2500 in comparison with the best known multilayer capacitors. It is therefore possible with the invention to realize a material savings in comparison with known ceramic multilayer capacitors and then achieve an essentially flatter structural shape and a significantly reduced space requirement with at least the same capacitance in comparison with all other known capacitors.

In one advantageous refinement of the invention, the electrode layers are alternately made of two different electrode materials, which also have a different oxidation potential. This configuration is especially favorable for the production process of the multilayer capacitor, which is also part of the invention, since it avoids the costly photolithographic steps for the structuring or bonding of the electrode layers with the first and second contact layers.

In another embodiment of the invention, the dielectric layers are made of at least two different dielectric materials. In this manner it is possible to match the electrical characteristics of the multilayer capacitor exactly to a desired profile by choosing several suitable dielectric materials. For example, the temperature response of the capacitor which is the temperature behavior or the temperature characteristic of the multilayer capacitor can be adjusted. Since the temperature behavior along with the absolute height of the capacitor capacitance is highly important for the suitability of the multilayer capacitor as a component in electric and electronic circuitry, the invention opens another planned use for multilayer capacitors according to the invention. Thus, it is possible to fabricate individual dielectric layers from a material, which alone would have a poor temperature characteristic in a 1-layer capacitor. Solely decisive is the temperature characteristic of the entire multilayer capacitor, which, in the case of the parallel interconnection of individual layer capacitors in a layered structure according to the invention, is derived as the average value. From individual dielectric layers, which have a great change of their electrical values in a given temperature range, it is possible, to arrive at a temperature behavior with minimal changes of the electrical values in the multilayer capacitor with a suitable combination.

Especially high capacitances are obtained when the dielectric layers are para-electric layers, i.e., contain ferroelectric materials. The particularly unfavorable temperature behavior of individual ferroelectric or para-electric layers in 1-layer capacitors is, as described above, especially advantageously compensated in the multilayer capacitor according to the invention. ferroelectric layers undergo, at the Curie temperature, a transition from ferroelectric to para-electric behavior. In a capacitor, this effects an extreme change of the electrical characteristics at the Curie temperature. Consequently, for a multilayer capacitor according to the invention assembled from ferroelectric layers, a suitable layer structure has several ferroelectric materials, whose Curie temperatures are uniformly distributed over the desired temperature range for an application.

The thin-layer process, in which the ferroelectric or dielectric layers of the multilayer capacitor are produced, permits a simple variation of the composition in the components that are determinative for the characteristics. In particular, with multi-target sputtering, the composition of the growing dielectric or ferroelectric [components] can be readily varied from layer to layer by exchanging the targets, by masking the target surfaces or more elegantly by altering the power on the targets.

All dielectric materials which can be produced with thin-layer processes and whose dielectric characteristics, based on known regularities and constraints, result in the desired overall characteristics in the multilayer capacitor are suitable in principle as dielectric layers. For the operability of the multilayer capacitor, the dielectric strength at the given layer thickness compared with a desired cutoff voltage is of primary importance. In addition, there must be an adequately homogeneous separability in order to ensure homogeneity from layer to layer in the layered structure. Inhomogeneities could lead to higher leakage flows and therefore to reduced usefulness of the multilayer capacitor. Cited here by way of example are only CØG masses based on the ceramic systems $\text{BaNd}_2\text{Ti}_4\text{O}_{12}$, $\text{BaLa}_2\text{Ti}_4\text{O}_{12}$ or $\text{Zr}(\text{Sn}, \text{Ti})\text{O}_4$ and masses for the capacitor standard XR7 based on BaTiO_3 or masses for the standard Z5U based on the relaxor ferroelectrics, such as $\text{Pb}(\text{Mg}_{1/3}\text{Nb}_{2/3})\text{O}_3$ (=PMN), e.g. Furthermore, the configuration according to the invention has the advantage that dielectric materials can also be used, which would not be suitable in a 1-layer capacitor, but can serve for rounding off the characteristics of the multilayer capacitor according to the invention.

Suitable as ferroelectric layers are combinations from the material system $(\text{Ba}_{1-u}\text{Sr}_u)\text{TiO}_3$, from the system $\text{Ba}(\text{Ti}_{1-x}\text{Zr}_x)\text{O}_3$ or from relaxor systems, e.g., $\text{Pb}[\text{Ti}_{1-x}(\text{Mg}_{1/3}\text{Ta}_{2/3})_x]\text{O}_3$. With these materials, standardized temperature characteristics, such as X7R or Z5U, according to the CIA standard are possible. For these materials, all customary deposition processes are possible, such as MOD, sol-gel, MOCVD or sputtering.

The electrode layers encompass electrode materials, which withstand without damage relatively high process temperatures up to approximately 600°C. Suitable materials are, e.g., platinum, iridium, ruthenium, RuO_2 , SrRuO_3 , or $(\text{LaSr})\text{CoO}_3$. The electrode layers are also produced in a thin-layer process, such as CVD, e.g., or by sputtering. Electron beam vaporization is also suitable. Pairs with different oxidation potential can be used together from the cited electrode materials as is required in the production process according to the invention. The electrode materials consisting of ceramic compounds have the advantage that with them the oxidation potential can be easily adjusted by varying the composition.

The invention and especially the production process according to the invention are described in greater detail with references to embodiment examples and the eleven figures

associated therewith. The figures are presented only in simplified form in the interest of explanation, not to scale and in schematic illustration.

Figure 1 shows a usable substrate in top view,

Figure 2 shows a cross section of a layer structure,

Figures 3-9 show various process steps in the production according to the invention of the electric circuitry,

Figure 10 shows temperature responses for various ceramic compositions and

Figure 11 shows the temperature response of a multilayer capacitor according to the invention.

General principle for producing a multilayer capacitor:

Figures 1 and 2: Preferably a cost-favorable substrate is used, e.g., Al_2O_3 , silicon or glass. Metallic substrates are also possible. The substrate (1) is coated with an ordinary bonding agent layer (6), which ensures not only a homogeneous growth of the first electrode layer (E1) but also a good adherence of the same. A known bonding agent layer for glass, e.g., is titanium oxide TiO_2 .

The fabrication of the multilayer capacitor preferably takes place on a large-surface substrate (1), which has a pattern of grooves or furrows for facilitating the subsequent division into the individual capacitors with the desired base area. Shown in Figure 1 by way of example is such a pattern of horizontal grooves (2) and vertical grooves (4), which divide the surface of the substrate into rows (3) and fissures (5). Preferably substrates with standard formats are used, e.g., in 8"-copies, which are well suited for ordinary thin-layer separator devices.

Figure 2 shows the complete layer structure (see line F2 in Figure 1) by way of a cross section through the substrate (1) parallel to the horizontal grooves (2). Depicted is a layer structure with a first electrode layer (E1) of an electrode material with a first oxidation potential. This first electrode layer (E1) is preferably made of such an electrode material, which adheres well to the substrate (1) or to the bonding agent layer (6) and also separates homogeneously with the flattest and smoothest surface possible. An example of a well suited material for the first electrode layer (E1) is platinum.

Above this a first dielectric layer (D1) is deposited, e.g., also in a thin-layer process. There then follows as the next layer the second electrode layer (E'2) of a second electrode material with a second oxidation potential, which is lower than the oxidation potential of the first electrode layer (E1). Well suited combinations with the first Pt-electrode (E1) are formed by, e.g., IR or $(\text{LaSr})\text{CoO}_3$. There A second dielectric layer (D2) follows as a subsequent layer, which consists of the same material as the first dielectric layer (D1) or differs therefrom. Prepared thereon is a third electrode layer (E3) consisting of the same electrode material as the first and with the same oxidation potential.

In a layer structure with more than two dielectric layers, additional dielectric layers (D) and electrode layers (E) and (E') are arranged one over the other in comparably alternating sequence. The upper limit for the number n of dielectric layers depends on the possibly diminishing homogeneity and on the increased production effort, which is ultimately manifested in the cost.

The concluding layer on the layer structure is a protective layer (7), which in the embodiment example consists of a dielectric material.

Then the substrates (1) together with the layer structure thereon are divided along the horizontal grooves (2) into capacitor rows (3). For separating the layer structure, ion beam etching can be used as the dismantling method. The substrate, on the other hand, can be sawed or broken along the vertical grooves (4).

Figure 3 shows an additional schematic cross section through the layer structure. The surface towards the top of the figure represents a side surface of the layer structure in Figure 2.

In the next step, electrode material of the electrode layers with the lower oxidation potential is selectively removed from the upper surface (= the side surface of the layer structure). Due to the differing oxidation potential of the two electrode materials, the selective removal of a part of the electrode with the lower oxidation potential succeeds by simple wet-chemical etching with a comparably strong etching agent. Figure 4a shows the layer structure after the etching step, in which a depression (8) is formed in the side surface by removing a part of the electrode (E'2).

As an alternative to the selective etching method, the side surface can be treated in an additional electrolyte containing metal ions (e.g., electrode material with a high oxidation potential). Here, by way of a comparable redox process the electrode material with the lower oxidation potential goes into solution, while a metallic deposit (9) takes place on the electrode material with the higher oxidation potential. Figure 4b shows the arrangement after this step.

In the next step, the depression (8) is filled with insulation material, in order to insulate the etched electrode layers (E'2) from the later electrical contact. To this end, an insulation layer (10), which fills the depression (8), is preferably deposited on the entire area of the side surface. Figures 5a and 5b show the arrangement after this step.

By uniform removal of the insulation layer (10) parallel to the upper surface (side surface), e.g., by chemical-mechanical polishing (CMP), the electrode layers (E1) and (E3) with the higher oxidation potential are exposed. The electrode layer (E'2) with the lower oxidation potential is now covered in the depression (8) by a strip (11) of insulation material and therefore electrically insulated.

For connecting the electrode layers (E1) and (E3) a first contact layer (12) is now applied to the surface. This can be a bonding agent layer of chromium and/or nickel, a sputtered

diffusion blocking layer of platinum or such additional electrode layers (e.g., of gold) which make a soldered connection possible.

In the next step, a part of the electrode material is dissolved out of the electrode layers (E1) and (E3) on the side surface opposite the contact layer (12). This is accomplished in a simple manner by anodically reinforced electrochemical etching, in which the contact layer (12) is bonded with the anode in an electrolytic etching bath. Figure 8 shows the arrangement following the electrolytic etching. By removing the electrode material of the electrode layers (E1) and (E3) from the surface, depressions (13) are formed.

In an analogous manner, these depressions (13) are also filled with insulation material (14) and the surface of the electrode layer (E'2) is exposed by chemical-mechanical polishing and bonded in an electrically conductive manner with a second contact layer (15) deposited thereon.

Advantageously, the process steps described with references to Figures 3-9 can be simultaneously accomplished for several capacitor rows (3). To this end, several capacitor rows are advantageously stacked one over the other so that all of the side surfaces of the capacitor rows form a common surface. Subsequently, the capacitor rows (3) are separated into the individual multilayer capacitors with the desired base surface by dividing along the grooves (4) [sic; 2].

Fabrication of a multilayer capacitor with the temperature response X7R:

A multilayer capacitor with the temperature response X7R according to the CIA standard can be realized with a layer structure, whose dielectric layers (D) consist of the material system $(\text{Ba}_{1-u}\text{Sr}_u)\text{TiO}_3$ (=BST), or the system $\text{Ba}(\text{Ti}_{1-x}\text{Zr}_x)\text{O}_3$ or relaxor systems, e.g., $\text{Pb}[\text{Ti}_{1-x}(\text{Mg}_{1/3}\text{Nb}_{2/3})_x]\text{O}_3$. By varying the composition, i.e., by varying the parameter (u) or (x), several different dielectric layers (D1) through (Dn) can be realized in the layer structure. The material composition of the different dielectric layers is then so chosen that the critical temperature ranges of the individual dielectric layers are uniformly distributed to the maximum extent possible over the temperature range to be observed, in which per definition the multilayer capacitor should show the desired temperature behavior X7R. In respect to the BST system $(\text{Ba}_{1-u}\text{Sr}_u)\text{TiO}_3$, Figure 10 shows how the temperature response of the value (ϵ_r) can be changed by varying the parameter (u) over a temperature range greater than 160°C. Representatively, seven recorded curves for different values of the parameter (u) are given with their maxima distributed uniformly over the illustrated temperature range of -50 to +110°C. The figure should merely show by way of example that a uniform distribution of the maxima is possible. Suitable compositions for the desired standard X7R can also be realized with BST compositions with other barium/strontium ratios or other material systems. For fine modulation, it is also possible to use different compositions of material systems in the multilayer capacitor, while more layers can nevertheless have the same composition. Here the critical temperature range of a single dielectric

layer (D) is the range, in which the greatest relative characteristic changes occur. This critical range in the case of ferroelectric layers is a sharply defined temperature range around the Curie temperature in the case of relaxor systems around the point of the ferroelectric phase transition. The temperature behavior of the complete multilayer capacitor is derived so to speak as the average or by superimposing the respective temperature profiles of the individual dielectric layers and can thus be adjusted to the desired specifications for X7R.

Figure 11 shows the temperature response of a multilayer capacitor according to the invention, which conforms to the standard X7R. While the recorded curve for the temperature response still shows the maxima representing the maxima of the recorded curves for the individual layers, nevertheless, only slight deviation from the average value is observed, just as the standard requires. Between -55° and $+125^{\circ}\text{C}$, the relative capacitance changes ($\Delta c/c$) may not exceed the values of $\pm 15\%$.

Fabrication of a multilayer capacitor with the temperature response Y5V:

A multilayer capacitor with the temperature response Y5V can be prepared from relaxor materials, wherein all of the dielectric layers (D) can consist of the same relaxor material. To this end, the relaxor system cited in the previous embodiment example can be used. For achieving the required temperature response, the dielectric layers (D) can also be produced from different relaxor materials, in order that in place of the Y5V characteristic of the aforesaid system (PMN-PT) a Z5V characteristic may be realized. The relative capacitance changes ($\Delta c/c$) of the multilayer capacitor required for the standard may occur for Y5V in an interval of -30° to $+85^{\circ}\text{C}$ maximal $+22\%/-82\%$, and for Z5V in an interval of $+10^{\circ}$ to 85°C $+22\%/-56\%$.

Fabrication of a multilayer capacitor with the temperature response (C0G):

The temperature response (C0G) can be realized according to the invention with a multilayer capacitor whose layered structure essentially encompasses dielectric layers (D) with low permeability (ϵ_r). These are especially nonferroelectric materials. A suitable material system for fulfilling this standard is, e.g., $(\text{Sn}, \text{Zr})\text{TiO}_4$ with $\epsilon_r \approx 40$. By varying the cation ratio (Sn/Zr) it is here also possible to combine dielectric layers with different temperature behavior, which in the overall multilayer capacitor results in an exceptionally uniform temperature response with only slight relative and absolute characteristic changes. Here the temperature response tolerances can also be better adjusted than required by the standard (C0G). For the standard (C0G), however, the temperature coefficient ($\text{TC}\epsilon = d\epsilon/dt = 0 \pm 30 \text{ ppm/K}$) must be the same over the entire operational temperature range of the capacitor.

The multilayer capacitor according to the invention can, with very great capacitance, be used as a replacement for electrolyte capacitors. Alternatively, it can be used as a capacitor with slight space requirement or with minimal installation height, e.g., for integration in chip housings or for installation in contact-free chip cards (smart cards). In comparison with conventional

ceramic multilayer capacitors (multilayer capacitors) having a comparable number of layers, it has a specific capacitance some 100 times greater. Per square millimeter of surface area of a dielectric layer with $\epsilon = 500$, typical capacitances of approximately 10 nF can be realized. With increasing ϵ , this value increases comparably.

Claims

1. Multilayer capacitor with thin-layer construction with the following characteristics:
 - on a substrate (1), $n + 1$ electrode layers (E) and n dielectric layers (D) with a maximal layer thickness of $2 \mu\text{m}$ are alternately arranged in a layered structure;
 - a first (12) and a second contact layer (15) are arranged separately from each other alongside the layered structure and approximately perpendicular to the structural planes;
 - the electrode layers (E) are alternately connected electrically with the first and the second contact layer (15);
 - for the number n , $1 < n < 100$ applies.
2. Multilayer capacitor according to Claim 1, characterized in that the first electrode layer (E) connected to the first contact layer (12) consists of an electrode material different from the second electrode layer (E') connected to the second contact layer (15), while the oxidation potential of the two electrode materials is also different.
3. Multilayer capacitor according to Claim 1 or 2, in which each of the dielectric layers inherently consists of a uniform dielectric material, although the different dielectric layers encompass at least two different dielectric materials.
4. Multilayer capacitor according to one of Claims 1-3, in which the dielectric layers (D) encompass ferroelectric layers.
5. Multilayer capacitor according to Claim 4, in which the layered structure encompasses different ferroelectric layers with different temperature behavior, which are selected so that a desired temperature behavior is realized by way of averaging for the overall multilayer capacitor.
6. Multilayer capacitor according to one of Claims 1-5, for which $5 \leq n \leq 20$ applies.
7. Process for producing a multilayer capacitor with the following steps:
 - a) a first electrode layer (E1) is applied to a substrate (1);
 - b) a first dielectric layer (D1) is applied to the first electrode layer;
 - c) a second electrode layer (E'2) of a material different from that of the first electrode layer is applied to the first dielectric layer;
 - d) steps b) and c) are repeated until the desired number n of dielectric layers (D) is reached, while the electrode layers (E) alternately consist of the first and the second electrode material and $1 < n < 100$;

e) on a first side surface produced on the substrate (1) almost perpendicular to the layer planes of the layered structure, a part of the electrode material (E') with the lower oxidation potential is selectively dissolved out;

f) the depressions (8) thus formed are filled with an insulation material (11);

g) on a second side surface separated from first side surface of the layered structure, part of the electrode material (E) with the higher oxidation potential is selectively dissolved out;

h) the depressions (13) thus formed are filled with an insulation material (14)

i) following step f) and step h) respectively, a contact layer is applied to each of the side surfaces, which in each case electrically and conductively joins together all of the electrode layers consisting of the same electrode material.

8. Process according to Claim 7, in which the dissolution of the electrode material with the higher oxidation potential is accomplished by electrochemical etching, while the respective electrode layers are connected with the anode in the preceding process step.

9. Process according to Claim 7 or 8, in which the dissolution of the electrode material with the lower oxidation potential is accomplished by wet-chemical etching.

10. Process according to Claim 7 or 8, in which, electrode material is deposited by an electroless method in an electrolyte bath over the electrode layers (E) with the higher oxidation potential, while the electrode material (E') with the lower oxidation potential serves as the donor cathode and is partially eroded away.

11. Process according to one of Claims 7-10, in which an insulation layer is applied to the entire side surfaces for filling the depressions (8, 13) and the insulation layer is removed by erosion parallel to the side surface until the respective electrode layers not partially dissolved out are exposed.

12. Process according to Claim 11, in which the removal of the insulation layer is accomplished by chemical-mechanical polishing.

13. Process according to one of Claims 7-12, in which

- a large-surface substrate (1) is used;
- following processing step d), the substrate is divided into strip-like capacitor rows (3);
- several of the capacitor rows are stacked one over the other in the direction of the structural layers;
- processing steps e) through i) are simultaneously carried out in the stack for several capacitor rows;
- the capacitor rows are again separated and further divided into the individual multilayer capacitors.

14. Process according to Claim 13, in which a substrate (1) is used, which has in its surface a groove pattern (2, 4) that facilitates the division into capacitor rows (3) and individual multilayer capacitors.

FIG 1

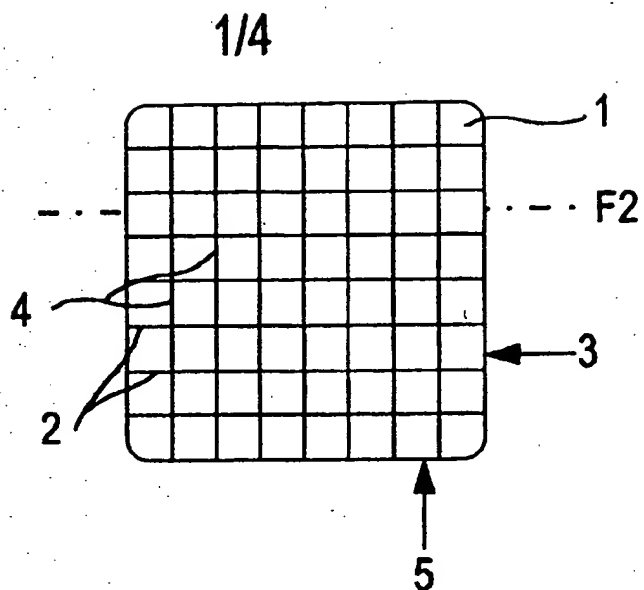


FIG 2

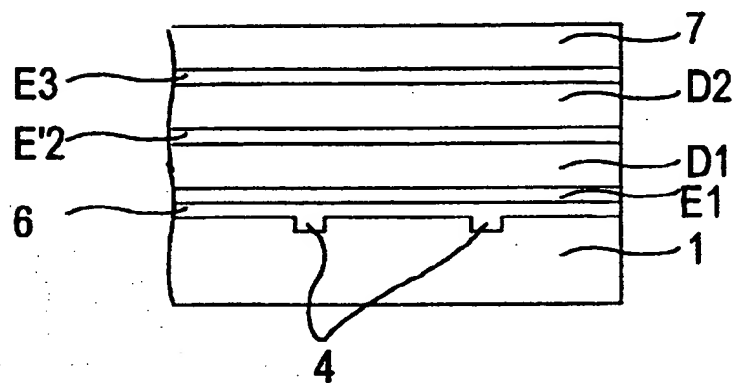


FIG 3

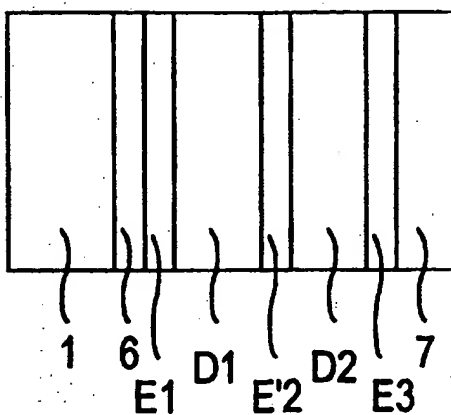


FIG 4a

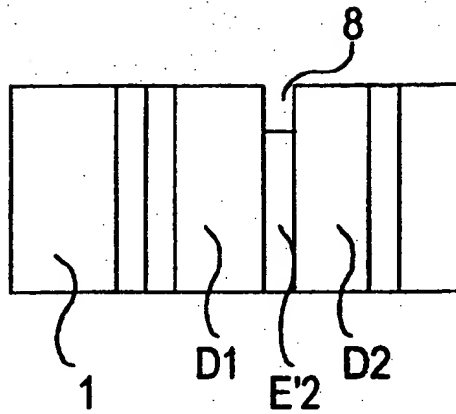


FIG 4b

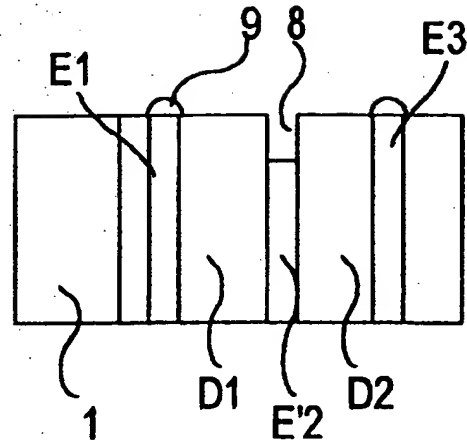


FIG 5a

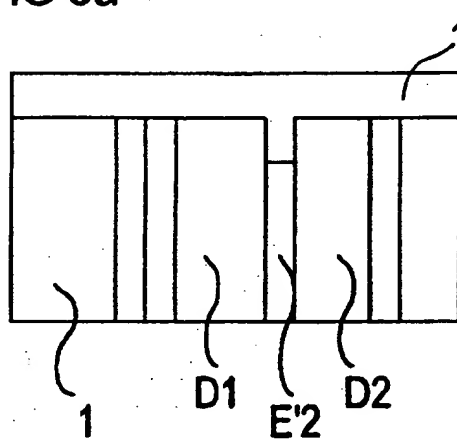


FIG 5b

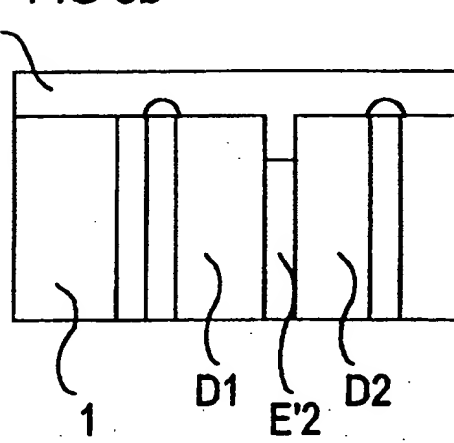


FIG 6

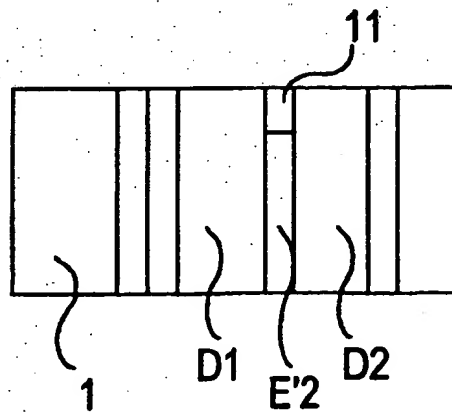


FIG 7

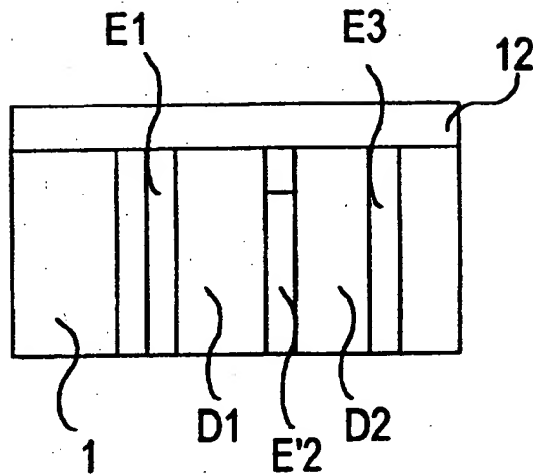


FIG 8

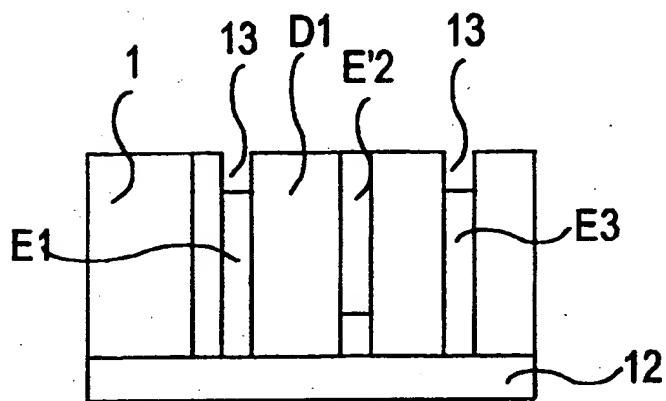


FIG 9

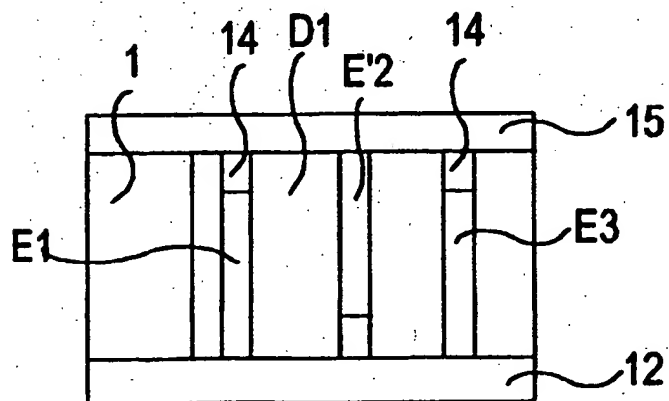


FIG 10

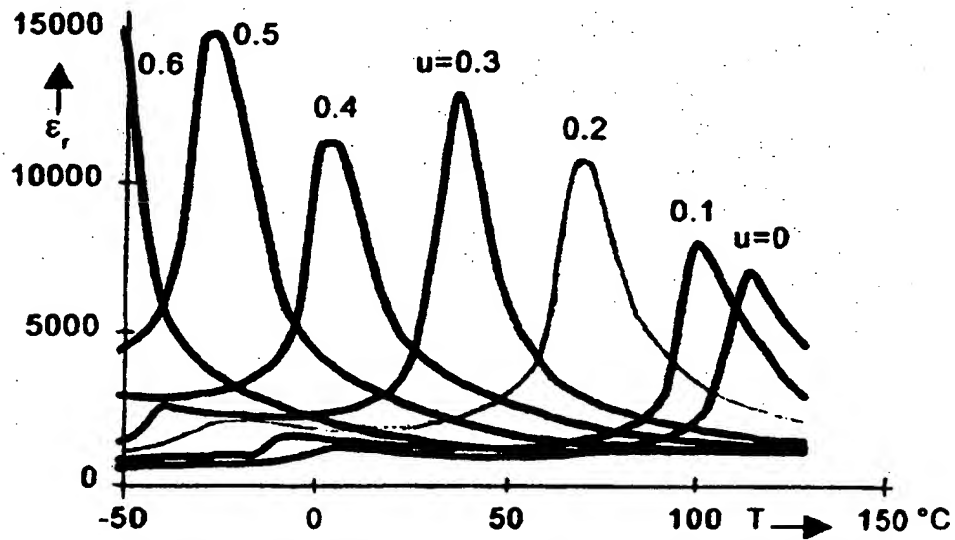
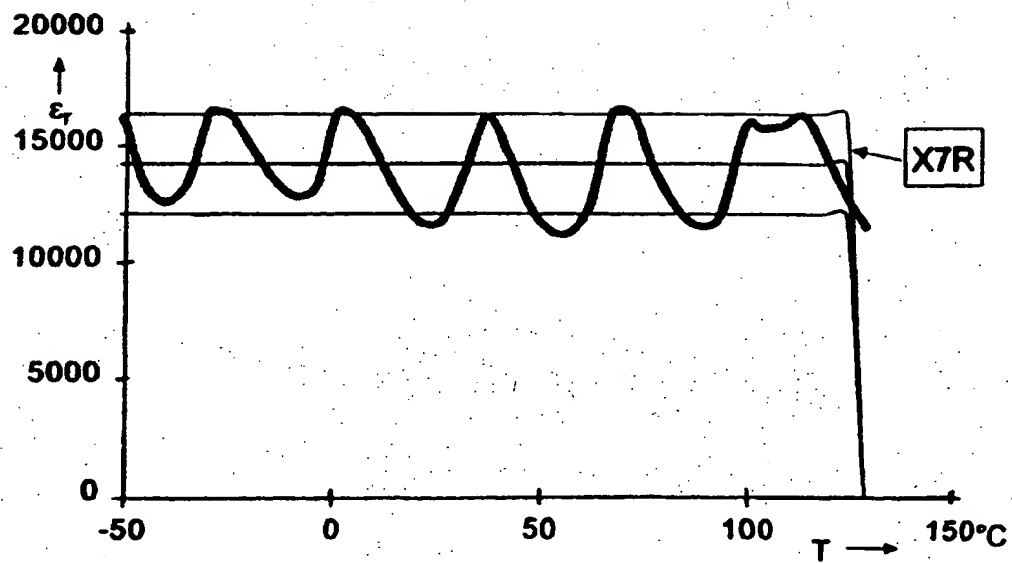
Mixed Crystal System $(\text{Ba}_{1-u}\text{Sr}_u)\text{TiO}_3$ (BST)

FIG 11



INTERNATIONAL SEARCH REPORT

International Application No
PCT/DE 97/00914

A. CLASSIFICATION OF SUBJECT MATTER

IPC 6 H01G4/30

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 6 H01G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	DE 43 00 808 A (SIEMENS AG) 17 March 1994 see column 1, line 68 - column 2, line 4 see column 2, line 7 - column 3, line 8 see column 3, line 47 - line 57 see claim 1 see figures 1-6	1,2,6
Y	---	3-5,7,9, 11
Y	EP 0 664 548 A (OXLEY DEVELOPMENTS CO., LTD.) 26 July 1995 see column 1, line 21 - line 29 see column 1, line 47 - line 56 see column 3, line 21 - line 24 see figures 1-3 ---	3-5
	-/--	

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents:

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

- *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- *A* document member of the same patent family

Date of the actual completion of the international search

19 September 1997

Date of mailing of the international search report

03 -10- 1997

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax (+31-70) 340-3016

Authorized officer

Goossens, A

INTERNATIONAL SEARCH REPORT

Internat. Application No.

PCT/DE 97/00914

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	PATENT ABSTRACTS OF JAPAN vol. 096, no. 004, 30 April 1996 & JP 07 336118 A (MURATA MFG CO LTD), 22 December 1995, see abstract	7
Y	--- PATENT ABSTRACTS OF JAPAN vol. 095, no. 009, 31 October 1995 & JP 07 142288 A (ASAHI GLASS CO LTD), 2 June 1995, see abstract -----	9,11

INTERNATIONAL SEARCH REPORT

International Application No

PCT/DE 97/00914

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
DE 4300808 A	17-03-94	EP 0606607 A JP 6283382 A US 5347696 A	20-07-94 07-10-94 20-09-94
EP 664548 A	26-07-95	NONE	

PCTWELTORGANISATION FÜR GEISTIGES EIGENTUM
Internationales BüroINTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE
INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)(51) Internationale Patentklassifikation ⁶ :

H01G 4/30

A1

(11) Internationale Veröffentlichungsnummer: WO 97/44797

(43) Internationales
Veröffentlichungsdatum:

27. November 1997 (27.11.97)

(21) Internationales Aktenzeichen: PCT/DE97/00914

(22) Internationales Anmeldedatum: 5. Mai 1997 (05.05.97)

(30) Prioritätsdaten:
196 20 434.8 21. Mai 1996 (21.05.96) DE(71) Anmelder (für alle Bestimmungsstaaten ausser US): SIEMENS
AKTIENGESELLSCHAFT [DE/DE]; Wittelsbacherplatz 2,
D-80333 München (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): BRUCHHAUS, Rainer
[DE/DE]; Simrockstrasse 25, D-80997 München (DE).
PITZER, Dana [DE/DE]; Hans-Fallada-Strasse 5, D-85716
Unterschleißheim (DE). PRIMIG, Robert [AT/DE]; En-
tenbachstrasse 37, D-81541 München (DE). WERSING,
Wolfram [DE/DE]; Weidenweg 14, D-85551 Kirchheim
(DE). HÖNLEIN, Wolfgang [DE/DE]; Parkstrasse 8A,
D-82008 Unterhaching (DE).(81) Bestimmungsstaaten: BR, CN, JP, KR, MX, RU, UA, US,
europäisches Patent (AT, BE, CH, DE, DK, ES, FI, FR,
GB, GR, IE, IT, LU, MC, NL, PT, SE).

Veröffentlicht

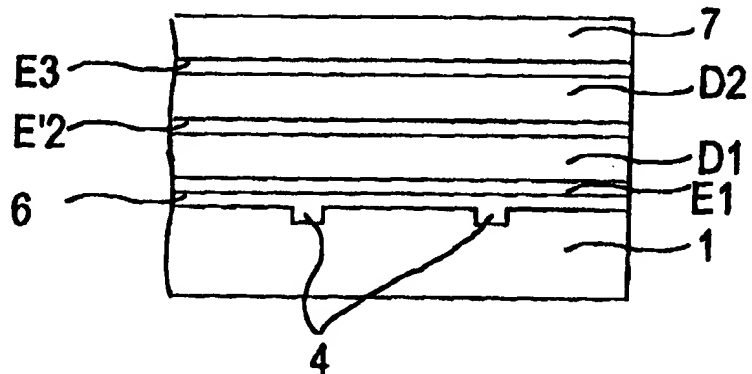
Mit internationalem Recherchenbericht.
Vor Ablauf der für Änderungen der Ansprüche zugelassenen
Frist. Veröffentlichung wird wiederholt falls Änderungen
eintreffen.

(54) Title: THIN-FILM MULTILAYER CONDENSER

(54) Bezeichnung: DÜNNFILM MEHRSCHICHTKONDENSATOR

(57) Abstract

This invention concerns a multilayer condenser with thin-layer construction with increased capacitance and/or reduced space requirement, the dielectric layers of which are arranged alternately between electrode layers on a substrate. By means of alternating electrode layer bonding, parallel interconnection of the individual condenser layers is achieved. Thus, the individual capacitances are summed, while the temperature behavior can be optimized by a suitable selection or combination of differing dielectric layers.



(57) Zusammenfassung

Es wird ein Mehrschichtkondensator in Dünnschichtbauweise mit erhöhter Kapazität und/oder verringertem Platzbedarf vorgeschlagen, dessen dielektrische Schichten alternierend zwischen Elektrodenschichten auf einem Substrat angeordnet sind. Durch ebenfalls alternierende Kontaktierung der Elektrodenschicht wird eine Parallelverschaltung der einzelnen Kondensatorschichten erzielt. Auf diese Weise addieren sich die Einzelkapazitäten, während das Temperaturverhalten durch geeignete Auswahl oder Kombination auch unterschiedlicher dielektrischer Schichten optimiert werden kann.

PTO 2001-4159

S.T.I.C. Translations Branch

LEDIGLICH ZUR INFORMATION

Codes zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AL	Albanien	ES	Spanien	LS	Lesotho	SI	Slowenien
AM	Armenien	FI	Finnland	LT	Litauen	SK	Slowakei
AT	Österreich	FR	Frankreich	LU	Luxemburg	SN	Senegal
AU	Australien	GA	Gabun	LV	Lettland	SZ	Swasiland
AZ	Aserbaidschan	GB	Vereinigtes Königreich	MC	Monaco	TD	Tschad
BA	Bosnien-Herzegowina	GE	Georgien	MD	Republik Moldau	TG	Togo
BB	Barbados	GH	Ghana	MG	Madagaskar	TJ	Tadschikistan
BE	Belgien	GN	Guinea	MK	Die ehemalige jugoslawische Republik Mazedonien	TM	Turkmenistan
BF	Burkina Faso	GR	Griechenland			TR	Türkei
BG	Bulgarien	HU	Ungarn	ML	Mali	TT	Trinidad und Tobago
BJ	Benin	IE	Irland	MN	Mongolei	UA	Ukraine
BR	Brasilien	IL	Israel	MR	Mauretanien	UG	Uganda
BY	Belarus	IS	Island	MW	Malawi	US	Vereinigte Staaten von Amerika
CA	Kanada	IT	Italien	MX	Mexiko		
CF	Zentralafrikanische Republik	JP	Japan	NE	Niger	UZ	Usbekistan
CG	Kongo	KE	Kenia	NL	Niederlande	VN	Vietnam
CH	Schweiz	KG	Kirgisistan	NO	Norwegen	YU	Jugoslawien
CI	Côte d'Ivoire	KP	Demokratische Volksrepublik Korea	NZ	Neuseeland	ZW	Zimbabwe
CM	Kamerun			PL	Polen		
CN	China	KR	Republik Korea	PT	Portugal		
CU	Kuba	KZ	Kasachstan	RO	Rumänien		
CZ	Tschechische Republik	LC	St. Lucia	RU	Russische Föderation		
DE	Deutschland	LI	Liechtenstein	SD	Sudan		
DK	Dänemark	LK	Sri Lanka	SE	Schweden		
EE	Estland	LR	Liberia	SG	Singapur		

Beschreibung

DÜNNFILM MEHRSCHICHTKONDENSATOR

5

Bekannte Mehrschichtkondensatoren sind keramische Bauelemente, bei denen abwechselnd Elektrodenschichten und dünne keramische Schichten übereinander angeordnet sind. Je eine keramische Schicht mit den beiden benachbarten Elektrodenschichten bildet dabei einen Einzelkondensator. Die einzelnen Kondensatoren sind durch entsprechende Kontaktierung der Elektrodenschichten elektrisch parallel geschaltet. Zur Herstellung solcher keramischer Mehrschichtkondensatoren werden „nasse“ Verfahren verwendet, wobei zum Beispiel Grünfolien mit Hilfe eines Schlickers oder eines Sol-Gel-Verfahrens hergestellt und dann mit Elektrodenmaterial bedruckt werden. Durch Übereinanderstapeln solcher bedruckter Grünfolien und gemeinsames Sintern werden kompakte Bauelemente erhalten, die in einem letzten Verfahrensschritt noch mit elektrischen Anschlüssen versehen werden.

Zur Steigerung der Kapazität solcher keramischer Vielschichtkondensatoren kann die Anzahl der Einzelkondensatoren, also die Anzahl der Schichten des Mehrschichtkondensators erhöht werden. Mehrschichtkondensatoren mit hoher Kapazität im Bereich einiger μF sind auf diese Art und Weise aber nur mit hohem fertigungstechnischem Aufwand zu realisieren.

Herkömmliche und bereits heute verfügbare Elektrolytkondensatoren lassen sich zwar mit solch hohen Kapazitäten im Bereich einiger μF realisieren, besitzen jedoch oft unbefriedigende elektrische Eigenschaften. Insbesondere sind Elektrolytkondensatoren bezüglich des Frequenzgangs, des Schaltstromverhaltens (Innenwiderstand), des Leckstroms und des Temperaturbereichs, in dem sie einsetzbar sind, verbesserungsfähig. Desweiteren lassen sich mit Elektrolytkondensatoren keine ex-

trem flachen Bauformen, wie sie insbesondere für die SMD-Technik erforderlich sind, realisieren.

Aufgabe der vorliegenden Erfindung ist es daher, Mehrschichtkondensatoren mit hoher Kapazität anzugeben, die sich in flacher Bauform realisieren lassen, deren Herstellaufwand gegenüber bekannten Mehrschichtkondensatoren reduziert ist und deren elektrische Eigenschaften gegenüber Elektrolytkondensatoren verbessert sind.

Diese Aufgabe wird erfindungsgemäß durch einen Mehrschichtkondensator nach Anspruch 1 gelöst. Bevorzugte Ausgestaltungen der Erfindung sowie ein Verfahren zur Herstellung des Mehrschichtkondensators sind weiteren Ansprüchen zu entnehmen.

Erfindungsgemäß umfaßt der Mehrschichtkondensator einen auf einem Substrat angeordneten Mehrschichtaufbau, in dem alternierend Elektrodenschichten und dielektrische Schichten jeweils als Dünnschicht übereinander angeordnet sind. Die Elektrodenschichten sind alternierend mit einer ersten und einer zweiten Kontaktschicht verbunden, die jeweils seitlich entlang des Schichtaufbaus und annähernd vertikal zu den Schichtebenen angeordnet ist. Die Anzahl n der dielektrischen Schichten wird größer als 1 und kleiner als 100 gewählt. Sie liegt vorzugsweise bei 5 bis 20 Schichten.

Die keramischen dielektrischen Schichten, die mit herkömmlichen Dünnschichtverfahren aufgebracht sind, besitzen eine maximale Schichtdicke von ca. 1 μm . Gegenüber bekannten naßkeramisch hergestellten Vielschichtkondensatoren, deren dielektrische Schichten im besten Fall auf etwa 5 μm Dicke reduziert werden können, bedeutet dies mindestens eine Schichtdickenverringerung um den Faktor 5. Da mit bekannten Dünnschichtverfahren aber bereits heute geringe Schichtdicken von bis zu 0,1 μm sicher und reproduzierbar erreichbar sind, wird mit der Erfindung eine Schichtdickenreduzierung um bis zu

Faktor 50 möglich. Da andererseits die spezifische Kapazität (= Kapazität/Volumen) umgekehrt proportional zum Quadrat der Dicke der dielektrischen Schichten ist, läßt sich mit der Erfindung die spezifische Kapazität gegenüber den besten bekannten Vielschichtkondensatoren um bis zu Faktor 2500 steigern. Mit der Erfindung wird daher gegenüber bekannten keramischen Vielschichtkondensatoren eine Materialersparnis, und gegenüber allen anderen bekannten Kondensatoren eine wesentlich flachere Bauweise und ein wesentlich geringerer Raumbedarf bei zumindest gleichbleibender Kapazität erzielt. *

In einer vorteilhaften Ausgestaltung der Erfindung sind die Elektrodenschichten alternierend aus zwei unterschiedlichen Elektrodenmaterialien ausgebildet, die auch ein unterschiedliches Oxidationspotential besitzen. Dieser Aufbau ist besonders günstig für das ebenfalls erfindungsgemäße Herstellverfahren des Mehrschichtkondensators, da es aufwendige photolithographische Schritte für die Strukturierung bzw. Kontaktierung der Elektrodenschichten mit erster und zweiter Kontaktschicht vermeidet.

In einer weiteren Ausgestaltung der Erfindung sind die dielektrischen Schichten des Mehrschichtkondensators aus zumindest zwei unterschiedlichen dielektrischen Materialien ausgebildet. Auf diese Weise ist es möglich, die elektrischen Eigenschaften des Mehrschichtkondensators durch Auswahl mehrerer geeigneter dielektrischer Materialien einem gewünschten Profil exakt anzupassen. So kann insbesondere das Temperaturverhalten bzw. die Temperaturcharakteristik der elektrischen Werte des Mehrschichtkondensators, der sogenannte Temperaturgang des Kondensators, eingestellt werden. Da das Temperaturverhalten neben der absoluten Höhe der Kondensatorkapazität von hoher Bedeutung für die Verwendbarkeit des Mehrschichtkondensators als Bauelement in elektrischen und elektronischen Schaltungen ist, erschließt die Erfindung ein weites Anwendungsgebiet für erfindungsgemäße Mehrschichtkondensatoren. So ist es möglich, einzelne dielektrische Schichten aus

einem Material herzustellen, welches für sich allein eine schlechte Temperaturcharakteristik in einem 1-Schicht-Kondensator ergäbe. Entscheidend ist allein die Temperaturcharakteristik des gesamten Mehrschichtkondensators, die sich bei der erfindungsgemäßen parallelen Verschaltung von Einzelschichtkondensatoren im Schichtaufbau als Mittelwert ergibt. Aus einzelnen dielektrischen Schichten, die in einem gegebenen Temperaturbereich eine große Änderung ihrer elektrischen Werte aufweisen, läßt sich durch geeignete Kombination ein Temperaturverhalten mit minimalen Änderungen der elektrischen Werte im Mehrschichtkondensator zusammenstellen.

Besonders hohe Kapazitäten werden erhalten, wenn die dielektrischen Schichten paraelektrische Schichten sind, also ferroelektrische Materialien umfassen. Das besonders ungünstige Temperaturverhalten einzelner ferroelektrischer oder paraelektrischer Schichten in 1-Schicht-Kondensatoren wird im erfindungsgemäßen Mehrschichtkondensator wie eben beschrieben besonders vorteilhafterweise ausgeglichen. Ferroelektrische Schichten zeigen bei der Curie-Temperatur einen Übergang von ferroelektrischem zu paraelektrischem Verhalten. In einem Kondensator bewirkt dies eine extreme Änderung der elektrischen Eigenschaften bei der Curie-Temperatur. Für einen aus ferroelektrischen Schichten aufgebauten erfindungsgemäßen Mehrschichtkondensator weist ein geeigneter Schichtaufbau daher mehrere ferroelektrische Materialien auf, deren Curie-Temperaturen gleichmäßig über den für eine Anwendung gewünschten Temperaturbereich verteilt sind.

Die Dünnschichtverfahren, mit denen die ferroelektrischen bzw. dielektrischen Schichten des Mehrschichtkondensators erzeugt werden, erlauben eine einfache Variation der Zusammensetzung in den Komponenten, die für die Eigenschaften ausschlaggebend sind. Insbesondere durch Multi-Target-Sputtern kann durch Austauschen der Targets, durch Abdecken von Targetoberflächen oder eleganter durch Änderung der Leistung an den Targets die Zusammensetzung der aufwachsenden dielektri-

schen oder ferroelektrischen Schichten von Schicht zu Schicht in einfacher Weise variiert werden.

- Als dielektrische Schichten eignen sich prinzipiell alle dielektrischen Materialien, die mit Dünnschichtverfahren erzeugbar sind und deren dielektrische Eigenschaften aufgrund bekannter Gesetzmäßigkeiten und Abhängigkeiten im Mehrschichtkondensator die gewünschten Gesamteigenschaften ergeben. Für die Funktionsfähigkeit des Mehrschichtkondensators ist vor allem die Durchschlagsfestigkeit bei der gegebenen Schichtdicke gegenüber einer gewünschten Einsatzspannung von Bedeutung. Weiterhin muß eine ausreichend homogene Abscheidbarkeit gegeben sein, um im Schichtaufbau die Homogenität von Schicht zu Schicht zu gewährleisten. Inhomogenitäten könnten zu höheren Leckströmen und damit zur verminderten Brauchbarkeit des Mehrschichtkondensators führen. Entsprechende Materialien finden bereits bei herkömmlichen keramischen Mehrschichtkondensatoren Verwendung. Als Beispiel seien hier nur COG-Massen auf der Basis der Keramiksysteme $\text{BaNd}_2\text{Ti}_4\text{O}_{12}$, $\text{BaLa}_2\text{Ti}_4\text{O}_{12}$ oder $\text{Zr}(\text{Sn}, \text{Ti})\text{O}_4$ und Massen für den Kondensator-Standard XR7 auf der Basis von BaTiO_3 oder Massen für den Standard Z5U auf der Basis von Relaxorferroelektrika genannt, wie zum Beispiel $\text{Pb}(\text{Mg}_{1/3}\text{Nb}_{2/3})\text{O}_3$ (=PMN). Der erfindungsgemäße Aufbau hat darüber hinaus den Vorteil, daß auch solche dielektrischen Materialien verwendet werden können, die in einem 1-Schicht-Kondensator an sich ungeeignet wären, im erfindungsgemäßen Mehrschichtkondensator aber zur Abrundung dessen Eigenschaften dienen können.
- Als ferroelektrische Schichten eignen sich Kombinationen aus dem Materialsystem $(\text{Ba}_{1-u}\text{Sr}_u)\text{TiO}_3$, aus dem System $\text{Ba}(\text{Ti}_{1-x}\text{Zr}_x)\text{O}_3$ oder aus Relaxorsystemen wie zum Beispiel $\text{Pb}[\text{Ti}_{1-x}(\text{Mg}_{1/3}\text{Ta}_{2/3})_x]\text{O}_3$. Mit diesen Materialien sind standardisierte Temperaturcharakteristiken wie beispielsweise X7R oder Z5U gemäß dem CIA-Standard möglich. Für diese Materialien sind alle gebräuchliche Abscheidungsverfahren wie MOD, Sol-Gel, MOCVD oder Sputtern möglich.

Die Elektrodenschichten umfassen Elektrodenmaterialien, die die relativ hohen Prozeßtemperaturen bis ca. 600°C unbeschädigt überstehen. Geeignete Materialien sind beispielsweise Platin, Iridium, Ruthenium, RuO_2 , SrRuO_3 oder $(\text{LaSr})\text{CoO}_3$. Auch die Elektrodenschichten werden mit Dünnschichtverfahren wie beispielsweise CVD oder durch Sputtern hergestellt. Auch Elektronenstrahlverdampfen ist geeignet. Aus den angegebenen Elektrodenmaterialien lassen sich Paare mit unterschiedlichem Oxidationspotential zusammenstellen, wie sie im erfindungsgemäßen Herstellverfahren erforderlich sind. Die aus keramischen Verbindungen bestehenden Elektrodenmaterialien haben den Vorteil, daß sich bei ihnen besonders leicht durch Variation der Zusammensetzung das Oxidationspotential einstellen läßt.

Im folgenden wird die Erfindung und insbesondere das erfindungsgemäße Herstellverfahren anhand von Ausführungsbeispielen und der dazugehörigen elf Figuren näher erläutert. Die Figuren sind zur Erläuterung nur vereinfachend und in nicht maßstabsgetreuer, schematischer Darstellung ausgeführt.

Figur 1 zeigt ein verwendbares Substrat in der Draufsicht

Figur 2 zeigt einen Schichtaufbau im Querschnitt

Figuren 3 bis 9 zeigen verschiedene Verfahrensstufen bei der erfindungsgemäßen Herstellung der elektrischen Verschaltung,

Figur 10 zeigt Temperaturgänge für verschiedene Keramikzusammensetzungen und

Figur 11 zeigt den Temperaturgang eines erfindungsgemäßen Mehrschichtkondensators.

Allgemeines Prinzip zur Herstellung eines Mehrschichtkondensators:

Figuren 1 und 2: Es wird vorzugsweise ein kostengünstiges Substrat verwendet, beispielsweise Al_2O_3 , Silizium oder Glas. Möglich sind auch metallische Substrate. Das Substrat 1 ist mit einer herkömmlichen Haftvermittlerschicht 6 beschichtet, die sowohl ein homogenes Aufwachsen der ersten Elektroden-
schicht E1 als auch eine gute Haftung derselben gewährleistet. Eine bekannte Haftvermittlerschicht für Glas ist beispielsweise Titanoxid TiO_2 .

Die Herstellung des Mehrschichtkondensators erfolgt vorzugsweise auf einem großflächigen Substrat 1, welches zur Unterstützung der späteren Zerteilung in die Einzelkondensatoren der gewünschten Grundfläche bereits ein Grabenmuster aus Rillen oder Furchen aufweist. In der Figur 1 ist beispielhaft ein solches Muster aus horizontalen Gräben 2 und vertikalen Gräben 4 dargestellt, die die Substratoberfläche in Reihen 3 und Spalten 5 aufteilen. Vorzugsweise werden Substrate mit Standardformaten verwendet, beispielsweise im 8''-Nutzen, die für herkömmliche Dünnschichtabscheidungsrichtungen gut geeignet sind.

Figur 2 zeigt bereits den vollständigen Schichtaufbau anhand eines schematischen Querschnitts (siehe Linie F2 in Figur 1) durch das Substrat 1 parallel zu den horizontalen Gräben 2. Dargestellt ist ein Schichtaufbau mit einer ersten Elektroden-
schicht E1 aus einem Elektrodenmaterial mit einem ersten Oxidationspotential. Vorzugsweise ist diese erste Elektroden-
schicht E1 aus einem solchen Elektrodenmaterial ausgebildet, welches eine gute Haftung zum Substrat 1 bzw. zur Haftvermittlerschicht 6 zeigt und sich außerdem homogen und mit möglichst ebener und glatter Oberfläche abscheiden läßt. Ein gut
geeignetes Material für die ersten Elektroden-
schicht E1 ist beispielsweise Platin.

Darüber wurde eine erste dielektrische Schicht D1 abgeschieden, beispielsweise ebenfalls mit einem Dünnschichtverfahren. Als nächstes folgt die zweite Elektrodenschicht E'2 aus einem zweiten Elektrodenmaterial, das ein zweites Oxidationspotential besitzt, welches niedriger als das Oxidationspotential der ersten Elektrodenschicht E1 ist. Gut geeignete Kombinationen mit der ersten Pt-Elektrode E1 bilden zum Beispiel IR oder (LaSr) CoO₃. Als weitere Schichten folgen eine zweite dielektrische Schicht D2, die aus gleichem Material wie die erste dielektrische Schicht D1 besteht oder von dieser unterschiedlich ist. Darüber wird eine dritte Elektrodenschicht E3 erzeugt, die wieder aus dem ersten Elektrodenmaterial mit dem ersten Oxidationspotential besteht.

Bei einem aus mehr als zwei dielektrischen Schichten bestehenden Schichtaufbau werden weitere dielektrische Schichten D und Elektrodenschichten E und E' in entsprechend alternierender Abfolge übereinander angeordnet. Obergrenze für die Anzahl n der dielektrischen Schichten ist einerseits die gegebenenfalls nachlassende Homogenität und andererseits der erhöhte Verfahrensaufwand, der sich nicht zuletzt in den Kosten niederschlägt.

Abschließende Schicht auf dem Schichtaufbau ist eine Schutzschicht 7, die im Ausführungsbeispiel aus einem dielektrischen Material besteht.

Anschließend werden die Substrate 1 mit dem darüber aufgetragenen Schichtaufbau entlang der horizontalen Gräben 2 in Kondensatorreihen 3 aufgeteilt. Zur Auftrennung des Schichtaufbaus kann als Abtragsmethode Ionenstrahlätzen verwendet werden. Das Substrat dagegen kann gesägt oder entlang der vertikalen Gräben 4 gebrochen werden.

Figur 3 zeigt einen weiteren schematischen Querschnitt durch den Schichtaufbau. Die in der Figur nach oben weisende Fläche stellt eine Seitenfläche des Schichtaufbaus aus Figur 2 dar.

Im nächsten Schritt wird nun selektiv Elektrodenmaterial der Elektrodenschichten mit dem niedrigeren Oxidationspotential von der Oberfläche (= Seitenfläche des Schichtaufbaus) her entfernt. Aufgrund des unterschiedlichen Oxidationspotentials der beiden Elektrodenmaterialien gelingt die selektive Entfernung eines Teils der Elektrode mit dem niedrigeren Oxidationspotential durch einfaches naßchemisches Ätzen mit entsprechend starkem Ätzmittel. Figur 4a zeigt den Schichtaufbau nach dem Ätzschrift, bei dem durch Entfernen eines Teils der Elektrode E'2 eine Vertiefung 8 in der Seitenfläche entstanden ist.

Als alternative Methode zum selektiven Ätzen kann die Seitenfläche in einem, zusätzliche Metallionen (z.B. Elektrodenmaterial mit höherem Oxidationspotential) enthaltenden, Elektrolyten behandelt werden. Dabei geht durch einen entsprechenden Redoxprozeß das Elektrodenmaterial mit dem niedrigeren Oxidationspotential in Lösung, während über dem Elektrodenmaterial mit dem höheren Oxidationspotential eine Metallabscheidung 9 stattfindet. Figur 4b zeigt die Anordnung nach diesem Schritt.

Als nächstes wird die Vertiefung 8 mit Isolationsmaterial gefüllt, um die angeätzten Elektrodenschichten E'2 gegen den späteren elektrischen Kontakt zu isolieren. Vorzugsweise wird dazu auf der Seitenfläche ganzflächig eine Isolationsschicht 10 abgeschieden, die die Vertiefung 8 mit auffüllt. Die Figuren 5a und 5b zeigen die Anordnung nach diesem Schritt.

Durch gleichmäßiges Abtragen der Isolationsschicht 10 parallel zur Oberfläche (Seitenfläche), beispielsweise durch chemisch mechanisches Polieren (CMP), werden die Elektroden-schichten E1 und E3 mit dem höheren Oxidationspotential freigelegt. Die Elektrodenschicht E'2 mit dem niedrigeren Oxidationspotential ist nun in der Vertiefung 8 mit einem Streifen 11 aus Isolationsmaterial bedeckt und damit elektrisch isoliert.

Zur Kontaktierung der Elektrodenschichten E1 und E3 wird auf der Oberfläche nun eine erste Kontaktschicht 12 aufgebracht. Diese kann eine aus Chrom und/oder Nickel bestehende Haftvermittlerschicht, eine gesputterte Diffusio-sperrschicht aus Platin sowie solche weiteren Elektrodenschichten (zum Beispiel aus Gold) umfassen, die ein Anschließen durch Löten ermöglichen.

10 Im nächsten Schritt wird auf der Seitenfläche, die der Kontaktschicht 12 gegenüberliegt, aus den Elektrodenschichten E1 und E3 ein Teil des Elektrodenmaterials herausgelöst. Dies erfolgt in einfacher Weise durch anodisch unterstütztes elektrochemisches Ätzen, bei dem die Kontaktschicht 12 in einem
15 elektrolytischen Ätzbad mit der Anode verbunden wird. Figur 8 zeigt die Anordnung nach dem elektrolytischen Ätzen. Durch Entfernen des Elektrodenmaterials der Elektrodenschichten E1 und E3 von der Oberfläche her sind Vertiefungen 13 entstanden.

20 In analoger Weise werden diese Vertiefungen 13 nun ebenfalls mit Isolationsmaterial 14 befüllt, die Oberfläche der Elektrodenschicht E'2 durch chemisch mechanisches Polieren freigelegt und mit einer darüber abgeschiedenen zweiten Kontaktschicht 15 elektrisch leitend verbunden.

Die anhand der Figuren 3 bis 9 beschriebenen Verfahrensschritte können vorteilhafterweise für mehrere Kondensatorreihen 3 gleichzeitig durchgeführt werden. Vorzugsweise werden
30 mehrere Kondensatorreihen dazu so übereinandergestapelt, daß sämtliche Seitenflächen der Kondensatorreihen eine gemeinsame Oberfläche bilden. Abschließend werden die Kondensatorreihen 3 durch Zerteilen entlang der Gräben 4 in die einzelnen Mehrschichtkondensatoren mit der gewünschten Grundfläche
35 zerteilt.

Herstellung eines Mehrschichtkondensators mit dem Temperaturgang X7R:

Ein Mehrschichtkondensator mit dem Temperaturgang X7R nach
5 dem CIA-Standard läßt sich mit einem Schichtaufbau realisieren, dessen dielektrische Schichten D aus dem Materialsystem $(\text{Ba}_{1-u}\text{Sr}_u)\text{TiO}_3$ (= BST), oder aus dem System $\text{Ba}(\text{Ti}_{1-x}\text{Zr}_x)\text{O}_3$ oder aus Relaxorsystemen wie zum Beispiel $\text{Pb}[\text{Ti}_{1-x}(\text{Mg}_{1/3}\text{Nb}_{2/3})_x]\text{O}_3$ bestehen. Durch Variation der Zusammensetzung, das heißt durch Variation der Parameter u oder x werden
10 im Schichtaufbau mehrere unterschiedliche dielektrische Schichten D1 bis Dn realisiert. Die Materialzusammensetzung der unterschiedlichen dielektrischen Schichten wird dabei so gewählt, daß die kritischen Temperaturbereiche der einzelnen
15 dielektrischen Schichten möglichst gleichmäßig über den zu beobachtenden Temperaturbereich verteilt sind, in dem der Mehrschichtkondensator definitionsgemäß das gewünschte Temperaturverhalten X7R zeigen soll. Die Figur 10 zeigt anhand des BST-Systems $(\text{Ba}_{1-u}\text{Sr}_u)\text{TiO}_3$, wie der Temperaturgang des Wertes ϵ_r
20 ϵ_r durch Variation des Parameters u über einen Temperaturbereich von über 160°C verändert werden kann. Stellvertretend sind sieben Meßkurven für unterschiedliche Parameter u angegeben, deren Maxima gleichmäßig über den dargestellten Temperaturbereich von - 50 bis + 110°C verteilt sind. Die Figur
25 soll nur exemplarisch zeigen, daß eine gleichmäßige Verteilung der Maxima möglich ist. Geeignete Zusammensetzungen für den angestrebten Standard X7R können auch mit BST-Zusammensetzungen mit anderem Barium/Strontium-Verhältnis oder anderen Stoffsystemen erzielt werden. Zur Feinabstimmung
30 ist es auch möglich, im Mehrschichtkondensator unterschiedliche Zusammensetzungen oder Stoffsysteme zu verwenden, wobei jedoch auch mehrere Schichten die gleiche Zusammensetzung aufweisen können. Der kritische Temperaturbereich einer einzelnen dielektrischen Schicht D ist dabei der Bereich, in dem
35 die größten relativen Eigenschaftsänderungen auftreten. Dieser kritische Bereich ist bei ferroelektrischen Schichten ein scharf definierter Temperaturbereich rund um die Curie-

Temperatur, bei Relaxorsystemen dagegen ein relativ breiter Bereich um den Punkt der ferroelektrischen Phasenumwandlung herum. Das Temperaturverhalten des kompletten Mehrschichtkondensators ergibt sich gewissermaßen als Mittelwert bzw. durch
5 Überlagerung der entsprechenden Temperaturprofile der einzelnen dielektrischen Schichten und läßt sich so auf die gewünschten Spezifikationen für X7R einstellen.

Figur 11 zeigt den Temperaturgang eines erfindungsgemäßen
10 Mehrschichtkondensators, der den Standard X7R erfüllt. Die Meßkurve für den Temperaturgang weist zwar noch die Maxima auf, die den Maxima der Meßkurven für die Einzelschichten entsprechen, jedoch wird insgesamt eine nur geringe Abweichung vom Mittelwert beobachtet, wie es vom Standard gefor-
15 dert wird. Zwischen -55° und $+125^{\circ}\text{C}$ dürfen dafür die relativen Kapazitätsänderungen $\Delta C/C$ des Mehrschichtkondensators Werte von ± 15 Prozent erreichen.

Herstellung eines Mehrschichtkondensators mit dem Temperatur-
20 gang Y5V:

Ein Mehrschichtkondensator mit dem Temperaturgang Y5V kann in einfacher Weise aus Relaxormaterialien hergestellt werden, wobei sämtliche dielektrischen Schichten D aus dem gleichen
25 Relaxormaterial bestehen können. Es kann dazu das im vorigen Ausführungsbeispiel angegebene Relaxorsystem eingesetzt werden. Zur Erfüllung des geforderten Temperaturgangs können die dielektrischen Schichten D auch aus unterschiedlichen Relaxormaterialien erzeugt werden, um etwa anstelle der Y5V
30 Charakteristik des obengenannten Systems PMN-PT eine Z5V-Charakteristik zu erhalten. Die für den Standard geforderten relativen Kapazitätsänderungen $\Delta C/C$ des Mehrschichtkondensators dürfen für Y5V im Intervall von -30° bis $+85^{\circ}\text{C}$ maximal $+22\%/-82\%$, und für Z5V im Intervall von $+10^{\circ}$ bis 85°C $+22\%/-56\%$ betragen.
35

Herstellung eines Mehrschichtkondensators mit dem Temperaturgang COG:

Der Temperaturgang COG läßt sich erfindungsgemäß mit einem Mehrschichtkondensator realisieren, dessen Schichtaufbau im wesentlichen dielektrische Schichten D mit niedriger Permittivität ϵ_r umfaßt. Dies sind insbesondere nicht-ferroelektrische Materialien. Ein geeignetes Materialsystem zur Erfüllung dieses Standards ist beispielsweise $(\text{Sn}, \text{Zr})\text{TiO}_4$ mit $\epsilon_r \approx 40$. Durch Variation des Kationenverhältnisses Sn/Zr lassen sich auch hier dielektrische Schichten mit unterschiedlichem Temperaturverhalten kombinieren, die im gesamten Mehrschichtkondensator im Ergebnis einen äußerst gleichmäßigen Temperaturgang mit nur geringen relativen und absoluten Eigenschaftsänderungen ergeben. Die Temperaturgangstoleranzen lassen sich hier, falls gewünscht, auch besser einstellen, als es der Standard COG erfordert. Für den Standard COG muß über den gesamten Betriebstemperaturbereich des Kondensators der Temperaturkoeffizient $\text{TC}\epsilon = \frac{d\epsilon}{\epsilon dT} = 0 \pm 30 \text{ ppm/K}$ betragen.

Der erfindungsgemäße Mehrschichtkondensator kann mit sehr großer Kapazität als Ersatz für Elektrolytkondensatoren dienen. Alternativ kann er als Kondensator mit geringem Platzbedarf oder mit geringer Bauhöhe eingesetzt werden, zum Beispiel zur Integration in Chipgehäusen oder zum Einbau in kontaktlose Chipkarten (smart cards). Gegenüber konventionellen keramischen Mehrschichtkondensatoren (multilayer capacitor) besitzt er bei vergleichbarer Schichtanzahl eine typischerweise 100 mal höhere spezifische Kapazität. Pro Quadratmillimeter Fläche einer dielektrischen Schicht mit $\epsilon = 500$ können typischerweise Kapazitäten von ca. 10 nF erzielt werden. Mit größer werdendem ϵ erhöht sich dieser Wert entsprechend.

Patentansprüche

1. Mehrschichtkondensator in Dünnschichtbauweise mit den folgenden Merkmalen

5

- auf einem Substrat (1) sind alternierend insgesamt $n+1$ Elektrodenschichten (E) und n dielektrische keramische Schichten (D) mit einer maximalen Schichtdicke von $2\mu\text{m}$ zu einem Schichtaufbau angeordnet,
- 10 - eine erste (12) und eine zweite Kontaktschicht (15) sind getrennt voneinander seitlich des Schichtaufbaus und annähernd vertikal zu den Schichtebenen angeordnet,
- die Elektrodenschichten (E) sind alternierend mit der ersten beziehungsweise mit der zweiten Kontaktschicht
- 15 (15)elektrisch leitend verbunden
- für die Anzahl n gilt: $1 < n < 100$.

2. Mehrschichtkondensator nach Anspruch 1,

- bei dem die mit der ersten Kontaktschicht (12) verbundenen
- 20 ersten Elektrodenschichten (E) aus einem anderen Elektroden-Material als die mit der zweiten Kontaktschicht (15) verbundenen zweiten Elektrodenschichten (E') bestehen, wobei auch das Oxidationspotential der beiden Elektroden-Materialien unterschiedlich ist.

25

3. Mehrschichtkondensator nach Anspruch 1 oder 2,

- bei dem jede der dielektrischen Schichten für sich aus einheitlichem dielektrischen Material besteht, die verschiedenen dielektrischen Schichten aber zumindest zwei unterschiedliche
- 30 dielektrische Materialien umfassen.

4. Mehrschichtkondensator nach einem der Ansprüche 1 bis 3, bei dem die dielektrischen Schichten (D) ferroelektrische Schichten umfassen.

35

5. Mehrschichtkondensator nach Anspruch 4,

bei dem der Schichtaufbau unterschiedliche ferroelektrische Schichten mit unterschiedlichem Temperaturverhalten umfaßt, die so ausgewählt sind, daß sich durch Mittelwertbildung ein gewünschtes Temperaturverhalten für den gesamten Mehrschicht-
5 kondensator ergibt.

6. Mehrschichtkondensator nach einem der Ansprüche 1 bis 5, bei dem gilt $5 \leq n \leq 20$.

10 7. Verfahren zur Herstellung eines Mehrschichtkondensators mit den Schritten

a) auf einem Substrat (1) wird eine erste Elektrodenschicht (E1) aufgebracht

15 b) auf der ersten Elektrodenschicht wird eine erste dielektrischen Schicht (D1) aufgebracht

c) auf der ersten dielektrischen Schicht wird eine zweite Elektrodenschicht (E'2) aus einem von der ersten Elektrodenschicht unterschiedlichen Material aufgebracht

20 d) die Schritte b) und c) werden so oft wiederholt, bis eine gewünschte Anzahl von n dielektrischen Schichten (D) entstanden ist, wobei die Elektrodenschichten (E) alternierend aus erstem und zweitem Elektroden-Material bestehen und $1 < n < 100$

25 e) an einer ersten, annähernd vertikal zu den Schichtebenen stehenden Seitenfläche des auf dem Substrat (1) erzeugten Schichtaufbaus wird selektiv ein Teil des Elektroden-Materials (E') mit dem niedrigeren Oxidationspotential herausgelöst

30 f) die so entstandenen Vertiefungen (8) werden mit Isolationsmaterial (11) aufgefüllt

g) an einer zweiten, von der ersten getrennten Seitenfläche des Schichtaufbaus wird selektiv das Elektroden-Material (E) mit dem höheren Oxidationspotential zum Teil herausgelöst
35

h) die so entstandenen Vertiefungen (13) werden mit Isolationsmaterial (14) aufgefüllt

i) auf den beiden Seitenflächen wird nach Schritt f) beziehungsweise nach Schritt h) je eine Kontaktschicht aufgebracht, die jeweils alle aus dem gleichen Elektroden-Material bestehenden Elektrodenschichten elektrisch leitend miteinander verbindet.

8. Verfahren nach Anspruch 7,
bei dem das Herauslösen des Elektroden-Materials mit dem höheren Oxidationspotential durch elektrochemisches Ätzen erfolgt, wobei die entsprechenden im vorhergehenden Prozessschritt elektrisch miteinander verbundenen Elektrodenschichten mit der Anode verbunden werden.

9. Verfahren nach Anspruch 7 oder 8,
bei dem das Herauslösen des Elektroden-Materials mit dem niedrigeren Oxidationspotential durch naßchemisches Ätzen erfolgt.

10. Verfahren nach Anspruch 7 oder 8,
bei dem in einem Elektrolytbad Elektroden-Material stromlos über den Elektrodenschichten (E) mit dem höheren Oxidationspotential abgeschieden wird, wobei das Elektroden-Material (E') mit dem niedrigeren Oxidationspotential als Opferkathode dient und zum Teil herausgelöst wird.

11. Verfahren nach einem der Ansprüche 7 bis 10,
bei dem zum Auffüllen der Vertiefungen (8, 13) über den Seitenflächen jeweils ganzflächig eine Isolationsschicht aufgebracht wird, und die Isolationsschicht durch Abtragen parallel zur Seitenfläche soweit entfernt wird, bis die jeweils nicht zum Teil herausgelösten Elektrodenschichten freigelegt sind.

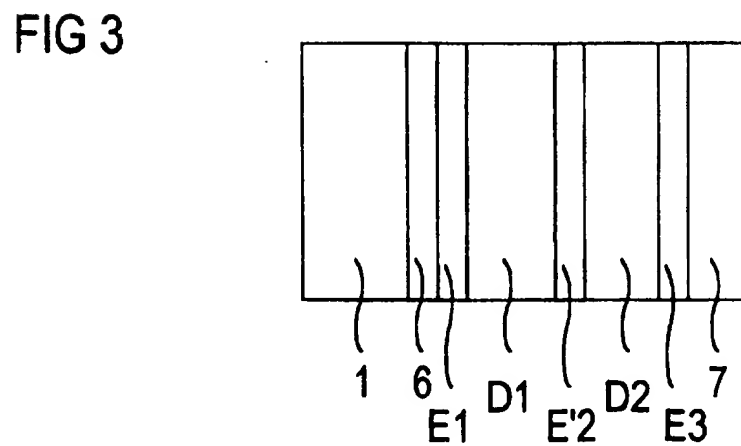
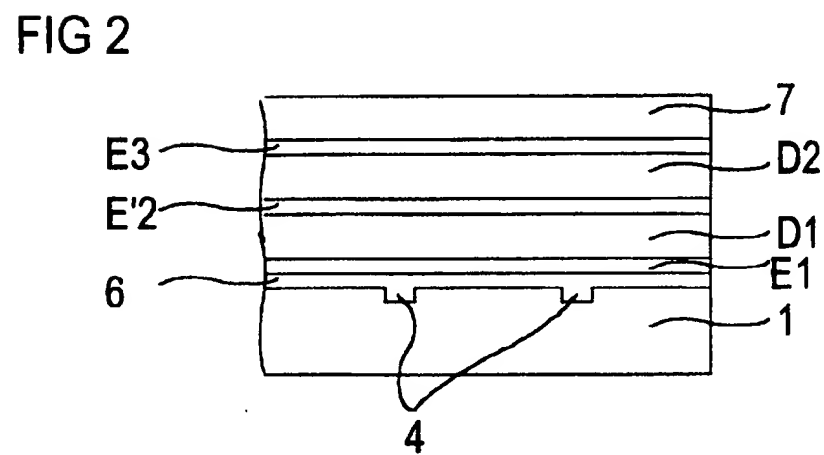
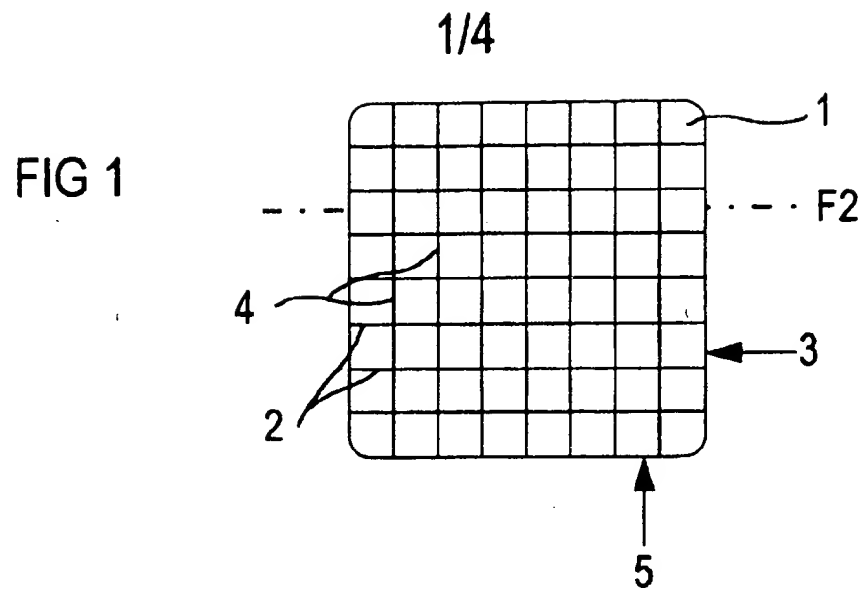
12. Verfahren nach Anspruch 11,
bei dem das Abtragen der Isolationsschicht durch chemisch mechanisches Polieren erfolgt.

13. Verfahren nach einem der Ansprüche 7 bis 12,

- bei dem ein großflächiges Substrat (1) verwendet wird,
- bei dem das Substrat nach Verfahrensschritt d) in streifen-
- 5 förmige Kondensatorreihen (3) zerteilt wird,
- bei dem mehrere der Kondensatorreihen übereinander in Richtung des Schichtaufbaus gestapelt werden
- bei dem die Verfahrensschritte e) bis i) im Stapel für mehrere Kondensatorreihen gleichzeitig durchgeführt werden
- 10 - bei dem die Kondensatorreihen abschließend wieder voneinander getrennt und weiter in die einzelnen Mehrschichtkondensatoren aufgeteilt werden.

14. Verfahren nach Anspruch 13,

- 15 bei dem ein Substrat (1) verwendet wird, welches zur Unterstützung der Zerteilung in Kondensatorreihen (3) und einzelne Mehrschichtkondensatoren in der Oberfläche ein der Aufteilung entsprechendes Grabenmuster (2, 4) aufweist.



2/4

FIG 4a

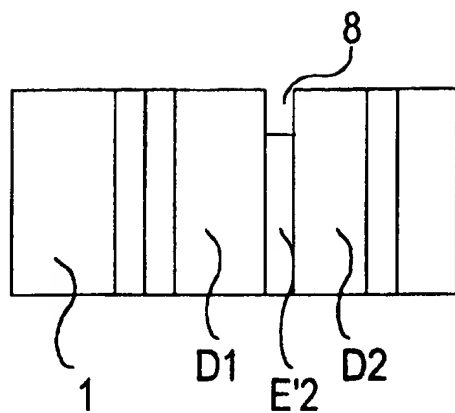


FIG 4b

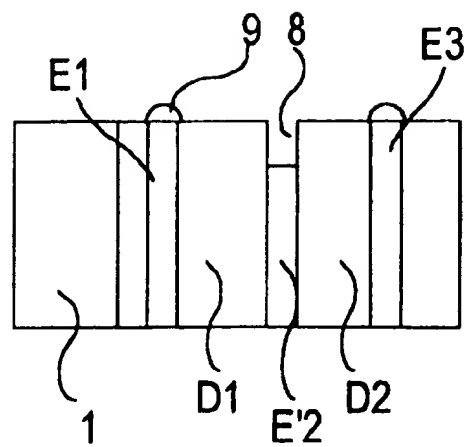


FIG 5a

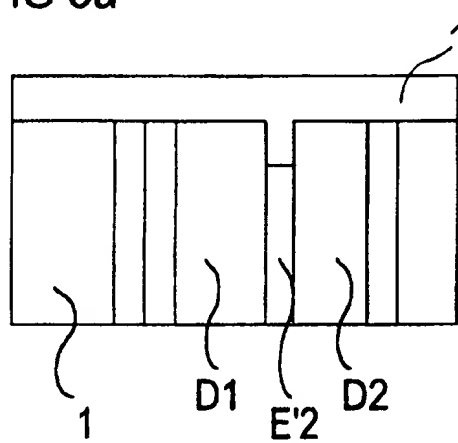


FIG 5b

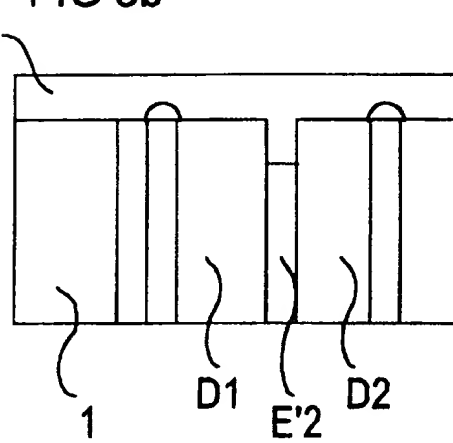
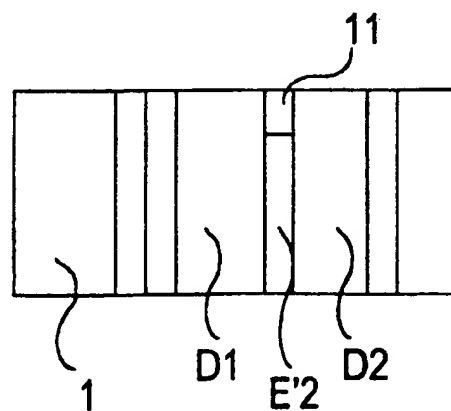


FIG 6



3/4

FIG 7

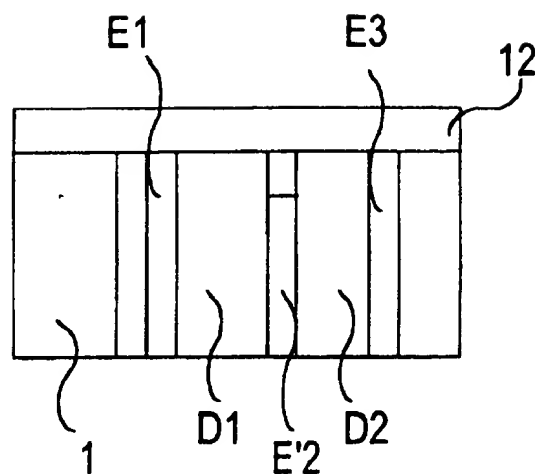


FIG 8

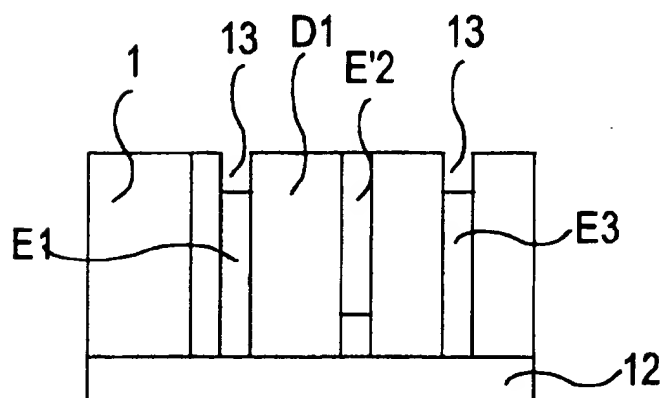
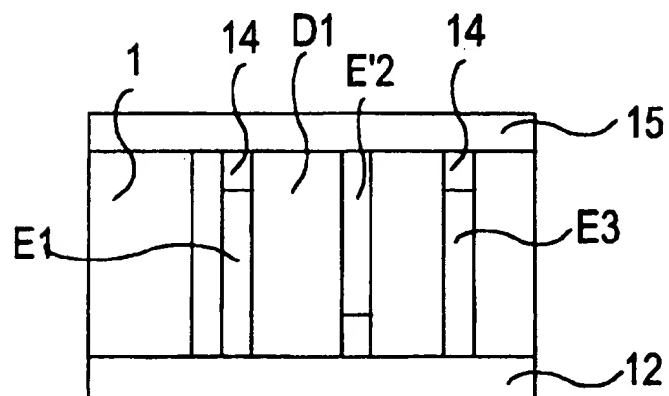


FIG 9



4/4

FIG 10

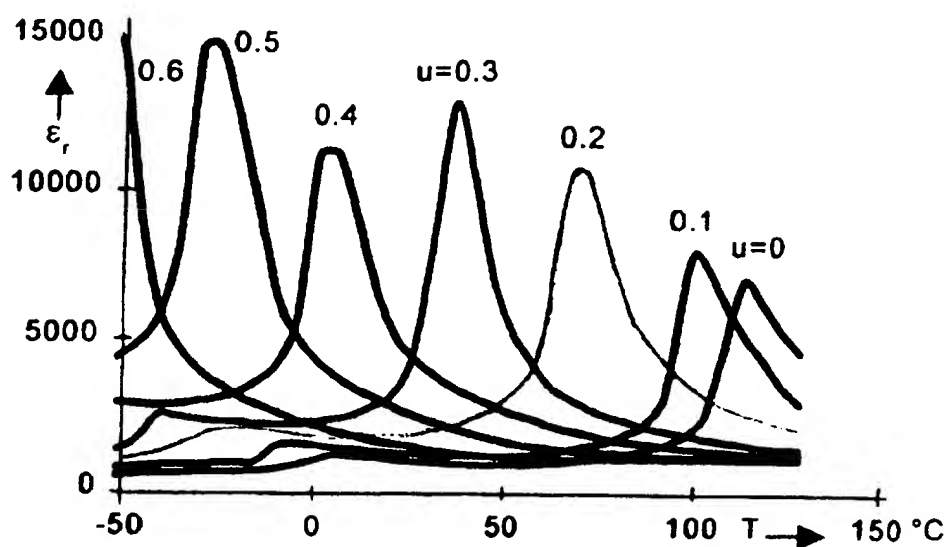
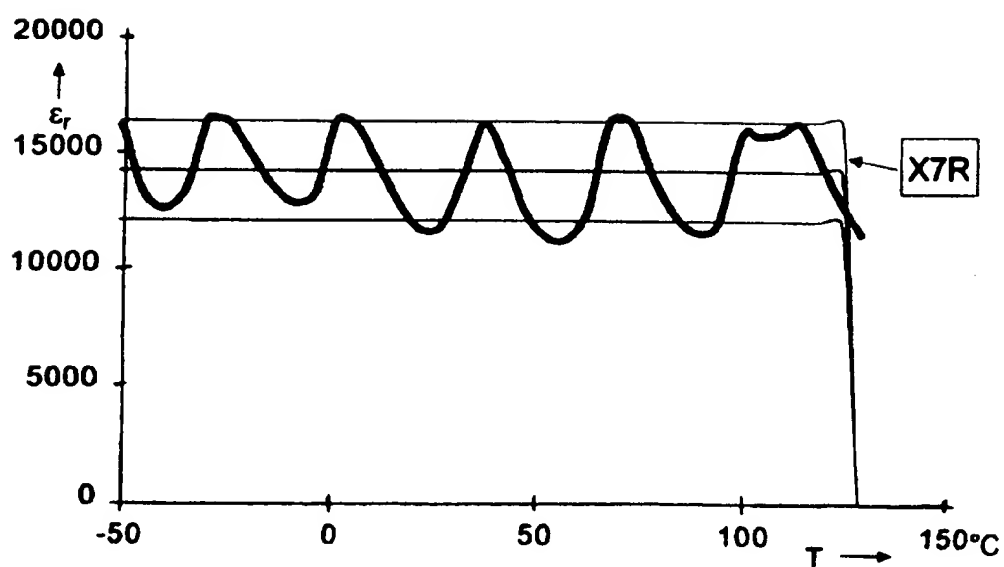
Mixed Crystal System $(\text{Ba}_{1-u}\text{Sr}_u)\text{TiO}_3$ (BST)

FIG 11



INTERNATIONAL SEARCH REPORT

Intern: 1 Application No
PCT/DE 97/00914

A. CLASSIFICATION OF SUBJECT MATTER
IPC 6 H01G4/30

According to International Patent Classification (IPC) or to both national classification and IPC:

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC 6 H01G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	DE 43 00 808 A (SIEMENS AG) 17 March 1994 see column 1, line 68 - column 2, line 4 see column 2, line 7 - column 3, line 8 see column 3, line 47 - line 57 see claim 1 see figures 1-6	1,2,6
Y		3-5,7,9, 11
Y	EP 0 664 548 A (OXLEY DEVELOPMENTS CO., LTD.) 26 July 1995 see column 1, line 21 - line 29 see column 1, line 47 - line 56 see column 3, line 21 - line 24 see figures 1-3	3-5

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

Date of the actual completion of the international search

19 September 1997

Date of mailing of the international search report

03 -10- 1997

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+ 31-70) 340-2040, Tx. 31 651 epo nl,
Fax (+ 31-70) 340-3016

Authorized officer

Goossens, A

INTERNATIONAL SEARCH REPORT

International Application No.
PCT/DE 97/00914

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	PATENT ABSTRACTS OF JAPAN vol. 096, no. 004, 30 April 1996 & JP 07 336118 A (MURATA MFG CO LTD), 22 December 1995, see abstract ---	7
Y	PATENT ABSTRACTS OF JAPAN vol. 095, no. 009, 31 October 1995 & JP 07 142288 A (ASAHI GLASS CO LTD), 2 June 1995, see abstract -----	9,11

INTERNATIONAL SEARCH REPORT

International Application No

PCT/DE 97/00914

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
DE 4300808 A	17-03-94	EP 0606607 A	20-07-94
		JP 6283382 A	07-10-94
		US 5347696 A	20-09-94

EP 664548 A	26-07-95	NONE	

INTERNATIONALER RECHERCHENBERICHT

Internat es Aktenzeichen

PCT/DE 97/00914

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
IPK 6 H01G4/30

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierte Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
IPK 6 H01G

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	DE 43 00 808 A (SIEMENS AG) 17.März 1994 siehe Spalte 1, Zeile 68 - Spalte 2, Zeile 4 siehe Spalte 2, Zeile 7 - Spalte 3, Zeile 8 siehe Spalte 3, Zeile 47 - Zeile 57 siehe Anspruch 1 siehe Abbildungen 1-6	1,2,6
Y	---	3-5,7,9, 11
Y	EP 0 664 548 A (OXLEY DEVELOPMENTS CO., LTD.) 26.Juli 1995 siehe Spalte 1, Zeile 21 - Zeile 29 siehe Spalte 1, Zeile 47 - Zeile 56 siehe Spalte 3, Zeile 21 - Zeile 24 siehe Abbildungen 1-3 ---	3-5
	--- -/--	

☒ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

☒ Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

A Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

E älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

L Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

O Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

P Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

T Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

X Veröffentlichung von besonderer Bedeutung, die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderscher Tätigkeit beruhend betrachtet werden

Y Veröffentlichung von besonderer Bedeutung, die beanspruchte Erfindung kann nicht als auf erfinderscher Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

Z Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

19. September 1997

Absendedatum des internationalen Recherchenberichts

03 -10- 1997

Name und Postanschrift der Internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+ 31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+ 31-70) 340-3016

Bevollmächtigter Bediensteter

Goossens, A

INTERNATIONALER RECHERCHENBERICHT

Internes Aktenzeichen

PCT/DE 97/00914

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
Y	PATENT ABSTRACTS OF JAPAN vol. 096, no. 004, 30.April 1996 & JP 07 336118 A (MURATA MFG CO LTD), 22.Dezember 1995, siehe Zusammenfassung ---	7
Y	PATENT ABSTRACTS OF JAPAN vol. 095, no. 009, 31.Oktober 1995 & JP 07 142288 A (ASAHI GLASS CO LTD), 2.Juni 1995, siehe Zusammenfassung -----	9,11

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internat es Aktenzeichen

PCT/DE 97/00914

Im Recherchenbericht angeführtes Patentedokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
DE 4300808 A	17-03-94	EP 0606607 A	20-07-94
		JP 6283382 A	07-10-94
		US 5347696 A	20-09-94

EP 664548 A	26-07-95	KEINE	
